

PAT-NO: JP02003257173A

DOCUMENT-IDENTIFIER: JP 2003257173 A

TITLE: READ-OUT CIRCUIT FOR SEMICONDUCTOR MEMORY DEVICE

PUBN-DATE: September 12, 2003

INVENTOR-INFORMATION:

NAME	COUNTRY
SAKIMURA, NOBORU	N/A
HONDA, YUJI	N/A
SUGIBAYASHI, NAOHIKO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP2002056810

APPL-DATE: March 4, 2002

INT-CL (IPC): G11C011/14, G11C011/15 , H01L027/105 , H01L043/08

ABSTRACT:

**PROBLEM TO BE SOLVED:** To provide a read-out circuit of an MRAM of a self-reference system in which area is small, power consumption is low, high speed read-out can be performed.

**SOLUTION:** In first read-out, a current inputted from a selecting cell 13 is converted into a pulse having a frequency being inversely proportional to its current value by a pre-amplifier 3 and a VCO 4, the number of pulses in a fixed time is counted by a counter 5, and stored in a read-out value register 6. Next either of two storage states of the selecting cell is written, and second read-out is performed. A storage state of the selecting cell is discriminated by comparing a count value of the counter in the second read-out, a count value at the time of the first read-out stored in the read-out value register, and a reference value stored in a reference value register 7. An integration capacitor of current and a reference pulse generating means being required conventionally are unnecesitated using VCO, area is small, power consumption is low, and high speed read-out can be performed.

COPYRIGHT: (C)2003,JPO

(11)特許出願公開番号

特開2003-257173

(P2003-257173A)

(43)公開日 平成15年9月12日(2003.9.12)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
G 1 1 C 11/14		G 1 1 C 11/14	Z 5 F 0 8 3
11/15		11/15	
H 0 1 L 27/105		H 0 1 L 43/08	Z
43/08		27/10	4 4 7

審査請求 未請求 請求項の数24 O.L (全 20 頁)

(21)出願番号	特願2002-56810(P2002-56810)	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成14年3月4日(2002.3.4)	(72)発明者	崎村 昇 東京都港区芝五丁目7番1号 日本電気株式会社内
		(72)発明者	本田 雄士 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	100096253 弁理士 尾身 祐助

最終頁に続

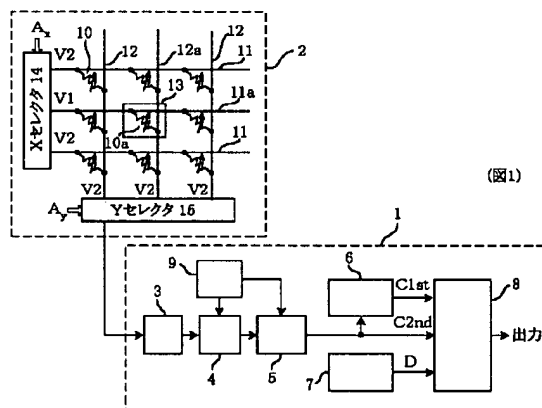
**最終頁に続く**

(54) 【発明の名称】 半導体記憶装置の読み出し回路

(57) 【要約】

【課題】 小面積で低消費電力であり、高速の読み出しが可能で、且つ、自己リファレンス方式のMRAMの読み出し回路を提供する。

【解決手段】 第1の読み出しで、選択セル13から入力される電流が、プリアンプ3とVCO4とによって、その電流値に反比例する周波数のパルスに変換され、一定時間内のパルス数が、カウンタ5によってカウントされ、読み出し値レジスタ6に記憶される。次に、選択セルが2つの記憶状態のいずれかに書き込まれ、第2の読み出しが行われる。第2の読み出しにおけるカウンタのカウント値と、読み出し値レジスタに記憶されている第1の読み出し時のカウント値と、基準値レジスタ7に記憶されている基準値とを比較することによって、選択セルの記憶状態が判別される。VCOを用い、従来必要であった電流の積分キャパシタや基準パルス生成手段を不必要としており、小面積で低消費電力であり、高速の読み出しが可能である。



- |   |          |    |           |     |          |
|---|----------|----|-----------|-----|----------|
| 1 | 読み出し回路   | 6  | 読み出し値レジスタ | 10a | 選択セルのTMR |
| 2 | メモリセルアレイ | 7  | 基準値レジスタ   | 11  | ワード線     |
| 3 | プリアンプ    | 8  | 判定手段      | 11a | 選択ワード線   |
| 4 | VCO      | 9  | 制御回路      | 12  | ビット線     |
| 5 | カウンタ     | 10 | TMR       | 12a | 選択ビット線   |
|   |          |    |           | 13  | 選択セル     |

## 【特許請求の範囲】

【請求項1】 相対的に抵抗値の小さい第1の記憶状態と、相対的に抵抗値の大きい第2の記憶状態との2つの記憶状態を有するメモリセルよりメモリセルアレイが構成される半導体記憶装置の読み出し回路であって、前記メモリセルのうち選択された選択セルから入力される電流を検出して電圧に増幅変換するプリアンプと、前記プリアンプの出力電圧に比例した周波数で発振する電圧制御発振器と、前記電圧制御発振器から出力されるパルス数を数えるカウンタと、前記カウンタの出力値を記憶するカウンタ値記憶手段と、前記カウンタと前記カウンタ値記憶手段との出力値が入力される、前記選択セルの記憶状態の判定を行う判定手段と、を有していることを特徴とする半導体記憶装置の読み出し回路。

【請求項2】 前記カウンタの一定時間における出力が、前記選択セルの抵抗値に対して単調に変化するデジタル値であることを特徴とする請求項1に記載の半導体記憶装置の読み出し回路。

【請求項3】 前記選択セルの選択後に、第1の読み出しと、前記第1の読み出しの後に前記選択セルに前記第1の記憶状態または第2の記憶状態のいずれかを書き込む書き込みと、前記書き込みの後に実行される第2の読み出しと、が実行され、前記判定手段により前記選択セ

$C2nd - C1st - D < 0$  ならば 第1の記憶状態  
 $C2nd - C1st - D \geq 0$  ならば 第2の記憶状態

に基づいて、前記選択セルの第1の読み出し時における記憶状態を判定することを特徴とする請求項4または5に記載の半導体記憶装置の読み出し回路。

$C2nd - C1st + D < 0$  ならば 第1の記憶状態  
 $C2nd - C1st + D \geq 0$  ならば 第2の記憶状態

に基づいて、前記選択セルの第1の読み出し時における記憶状態を判定することを特徴とする請求項4または5に記載の半導体記憶装置の読み出し回路。

【請求項8】 前記第1の読み出し時における前記カウンタの出力値  $C1st$  が前記カウンタ値記憶手段に格納され、前記第2の読み出し時における前記カウンタの出力値  $C2nd$  と、前記カウンタ値記憶手段の出力値  $C1st$  とを用いて、前記判定手段により前記選択セルの記憶状態が判定されることを特徴とする請求項3に記載の半導体記憶装置の読み出し回路。

【請求項9】 前記プリアンプが、前記第1の読み出し時と前記第2の読み出し時とで異なるゲインまたは／および動作点で動作することを特徴とする請求項8に記載の半導体記憶装置の読み出し回路。

【請求項10】 前記メモリセルアレイ中の任意のメモリセルを用いて読み出しを行なったときに、前記プリアンプの第1の読み出し時におけるゲインまたは／および動作点において、前記メモリセルが第1の記憶状態にある場合の前記電圧制御発振器の発振周波数を  $f1st$  (1)、第2の記憶状態にある場合の前記電圧制御発振

\* ルの記憶状態の判定が行なわれることを特徴とする請求項1または2に記載の半導体記憶装置の読み出し回路。

【請求項4】 前記選択セルの記憶データ判定に用いられる基準値  $D$  が格納される基準値記憶手段が備えられ、前記第1の読み出し時における前記カウンタの出力値  $C1st$  が前記カウンタ値記憶手段に格納され、前記第2の読み出し時における前記カウンタの出力値  $C2nd$  と、前記カウンタ値記憶手段の出力値  $C1st$  と、前記基準値記憶手段の出力値  $D$  とを用いて、前記判定手段により前記選択セルの記憶状態が判定されることを特徴とする請求項3に記載の半導体記憶装置の読み出し回路。

【請求項5】 前記メモリセルアレイ中の任意のメモリセルの記憶状態の読み出しを行なったときに、前記任意のメモリセルが第1の記憶状態にあるときに前記カウンタから出力される値を  $C(1)$ 、第2の記憶状態にあるときに前記カウンタから出力される値を  $C(2)$  としたとき、前記基準値  $D$  が、 $0 < D < |C(1) - C(2)|$  を満たす範囲の値に設定されることを特徴とする請求項4に記載の半導体記憶装置の読み出し回路。

【請求項6】 前記書き込み時に前記選択セルが第1の記憶状態に書き込まれた場合には、前記判定手段が、次の不等式

\* 【請求項7】 前記書き込み時に前記選択セルが第2の記憶状態に書き込まれた場合には、前記判定手段が、次の不等式

★ 器の発振周波数を  $f1st(2)$  とし、前記プリアンプの第2の読み出し時におけるゲインまたは／および動作点において、前記メモリセルが第1の記憶状態にある場合の前記電圧制御発振器の発振周波数を  $f2nd(1)$ 、第2の記憶状態にある場合の前記電圧制御発振器の発振周波数を  $f2nd(2)$  としたとき、前記書き込み時に前記選択セルに第1の記憶状態、第2の記憶状態が書き込まれる場合、それぞれ、次の関係式  
 $f1st(2) < f2nd(1) < f1st(1)$   
 $f1st(2) < f2nd(2) < f1st(1)$   
 が成り立つように、第1の読み出し時および第2の読み出し時の前記プリアンプのゲインまたは／および動作点が調整されることを特徴とする請求項9に記載の半導体記憶装置の読み出し回路。

【請求項11】 前記第1の読み出しの読み出し時間と、前記第2の読み出しの読み出し時間とが異なることを特徴とする請求項3または8に記載の半導体記憶装置の読み出し回路。

【請求項12】 前記判定手段が、次の不等式  
 $C2nd - C1st < 0$  ならば 第1の記憶状態

$C2nd - C1st \geq 0$  ならば 第2の記憶状態に基づいて、前記選択セルの第1の読み出し時における記憶状態を判定することを特徴とする請求項8から11のいずれかに記載の半導体記憶装置の読み出し回路。

【請求項13】 相対的に抵抗値の小さい第1の記憶状態と、相対的に抵抗値の大きい第2の記憶状態との2つの記憶状態を有するメモリセルよりメモリセルアレイが構成される半導体記憶装置の読み出し回路であって、前記メモリセルのうち選択された選択セルから入力される電流を検出して電圧に増幅変換するプリアンプと、前記

プリアンプの出力電圧を記憶する電圧記憶手段と、前記プリアンプの出力電圧と前記電圧記憶手段の出力電圧とが入力され両電圧を比較する電圧比較手段と、を有することを特徴とする半導体記憶装置の読み出し回路。

【請求項14】 相対的に抵抗値の小さい第1の記憶状態と、相対的に抵抗値の大きい第2の記憶状態との2つの記憶状態を有するメモリセルよりメモリセルアレイが構成される半導体記憶装置の読み出し回路であって、前記メモリセルのうち選択された選択セルから入力される電流を検出して電圧に増幅変換するプリアンプと、前記

プリアンプの出力をオン・オフする第1のスイッチ手段と、第1のスイッチ手段の後段にキャパシタを介して接続されたインバータと、前記インバータの後段に接続されたラッチ回路と、前記インバータに並列に接続された第2のスイッチ手段と、を有することを特徴とする半導体記憶装置の読み出し回路。

【請求項15】 相対的に抵抗値の小さい第1の記憶状態と、相対的に抵抗値の大きい第2の記憶状態との2つの記憶状態を有するメモリセルよりメモリセルアレイが構成される半導体記憶装置の読み出し回路であって、前記メモリセルのうち選択された選択セルから入力される電流を積分する積分手段と、前記積分手段から出力される電圧を記憶する電圧記憶手段と、前記積分手段の出力電圧と前記記憶手段の出力電圧とが入力され両電圧を比較する電圧比較手段と、を有する半導体記憶装置の読み出し回路。

【請求項16】 前記選択セルの選択後に、第1の読み出しと、前記第1の読み出しの後に前記選択セルに前記第1の記憶状態または第2の記憶状態のいずれかを書き込む書き込みと、前記書き込みの後に実行される第2の読み出しと、が実行され、前記電圧比較手段または前記ラッチ回路により前記選択セルの記憶状態の判定が行なわれることを特徴とする請求項13から15のいずれかに記載の半導体記憶装置の読み出し回路。

【請求項17】 前記プリアンプは前記第1の読み出し動作時と前記第2の読み出し動作時で異なるゲインまたは／および動作点で動作することを特徴とする請求項16に記載の半導体記憶装置の読み出し回路。

【請求項18】 前記積分手段が、前記第1の読み出し時と前記第2の読み出し時とで異なる時定数を持つこと

を特徴とする請求項16に記載の半導体記憶装置の読み出し回路。

【請求項19】 前記第1の読み出し時における積分時間と前記第2の読み出し時における積分時間とが異なることを特徴とする請求項16に記載の半導体記憶装置の読み出し回路。

【請求項20】 前記メモリセルアレイ中の任意のメモリセルを用いて読み出しを行なったときに、第1の読み出し時における前記プリアンプのゲインまたは／および動作点、または、前記積分手段の時定数または積分時間において、前記メモリセルが第1の記憶状態にある場合の前記プリアンプまたは前記積分手段の出力電圧を  $V1st(1)$ 、第2の記憶状態にある場合の前記プリアンプまたは前記積分手段の出力電圧を  $V1st(2)$  とし、第2の読み出し時における前記プリアンプのゲインまたは／および動作点、または、前記積分手段の時定数または積分時間において、前記メモリセルが第1の記憶状態にある場合の前記プリアンプまたは前記積分手段の出力電圧を  $V2nd(1)$ 、第2の記憶状態にある場合の前記プリアンプまたは前記積分手段の出力電圧を  $V2nd(2)$  としたとき、前記書き込み時に前記選択セルに第1の記憶状態、第2の記憶状態が書き込まれる場合、それぞれ、次の関係式

$$V1st(2) < V2nd(1) < V1st(1)$$

$$V1st(2) < V2nd(2) < V1st(1)$$

が成り立つように、第1の読み出し時および第2の読み出し時の前記プリアンプのゲインまたは／および動作点、または、前記積分手段の時定数または積分時間が調整されることを特徴とする請求項17から19のいずれかに記載の半導体記憶装置の読み出し回路。

【請求項21】 第1の読み出し時、第2の読み出し時における前記プリアンプまたは前記積分手段の出力電圧を、それぞれ、 $V1st$ 、 $V2nd$  とすると、前記電圧比較手段が、次の不等式

$$V2nd - V1st < 0 \text{ ならば 第1の記憶状態}$$

$$V2nd - V1st \geq 0 \text{ ならば 第2の記憶状態}$$

に基づいて、前記選択セルの第1の読み出し時における記憶状態を判定することを特徴とする請求項16から20のいずれかに記載の半導体記憶装置の読み出し回路。

【請求項22】 第1の読み出し時には前記第1および第2のスイッチ手段が閉成され、第2の読み出し時には前記第1のスイッチ手段が閉成、前記第2のスイッチ手段が開成され、第2の読み出し時の前記インバータの出力電圧が前記ラッチ回路にラッチされることを特徴とする請求項16、17、20、21のいずれかに記載の半導体記憶装置の読み出し回路。

【請求項23】 前記判定された前記選択セルの第1の読み出し時における記憶状態が、前記書き込み時に書き込まれる記憶状態と異なる場合には、前記判定の後、前記選択セルの第1の読み出し時における記憶状態が、前

記選択セルに書き込まれることを特徴とする請求項3から22のいずれかに記載の半導体記憶装置の読み出し回路。

【請求項24】 前記メモリセルがトンネル磁気抵抗素子を有していることを特徴とする請求項1から23のいずれかに記載の半導体記憶装置の読み出し回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置の読み出し回路、特にトンネル磁気抵抗素子を含むメモリセルを有する半導体記憶装置の読み出し回路に関するものである。

【0002】

【従来の技術】図21は、トンネル磁気抵抗素子（以下、「TMR」という）の構造と原理を示している。図21(a)に示すように、TMR610は、絶縁膜652と、絶縁膜652を挟んでその上下に形成された2層の磁性層653、654とを有しており、絶縁膜652の厚さは10～20Å、磁性層653、654の厚さはともに50Å程度である。磁性層653、654のうち1つの磁性層653はピン層と呼ばれ、その磁化の向きが、TMRの動作範囲内の磁界の印加によって変化せず、製造時の向きに固定されている。もう1つの磁性層654はフリー層と呼ばれ、TMRの動作範囲内の磁界の印加によって、その磁化の向きが変化する層である。図21(a)は、フリー層654が、ピン層653と逆の向きに磁化している状態を示している。このとき、フリー層654とピン層653との間に電界を印加すると、絶縁膜652を流れるトンネル電流は小さく、TMR610は高い抵抗値を示す。この状態において、フリー層654が磁化反転を起す閾値以上の磁界をピン層653の磁化の向きと平行にTMR610に印加すると、フリー層654の磁化が反転する。図21(b)は、磁化反転した状態を示している。このとき、フリー層654とピン層653との間に電界を印加すると、絶縁膜652を流れるトンネル電流が大きくなり、TMR610の抵抗値が減少する。

【0003】TMRのこの抵抗変化を利用して、TMRをメモリセルとして、TMRの2つの抵抗状態、例えば、図21(a)の高抵抗状態を記憶状態「1」に、図21(b)の低抵抗状態を記憶状態「0」に割り付けて記憶する半導体記憶装置（以下、「MRAM」という）が、知られている。図22は、MRAMのメモリセルの動作を説明するための平面図〔(a)〕と断面図〔(b)〕である。図22(a)に示すように、TMR710を挟んで、その上下に、それぞれ、ワード線711、ビット線712が、互いに直交するように配線されている。実線の矢印の向きが、電流の流れる方向である。図22(b)に示すように、TMR710は、絶縁膜752と、絶縁膜752を挟むピン層753とフリー

層754と、ピン層753の下に形成された反強磁性体層755と、キャップ層756と、より成っている。反強磁性体層755は、ピン層753の磁化の方向を固定し、フリー層754の磁化の方向のみを反転容易にするために形成されており、したがって、TMR710は、スピンバルブ型構造を有している。キャップ層756は、反強磁性体層755およびフリー層754を保護している。データの書き込み、即ち、フリー層754の磁化反転は、ワード線711、ビット線712に電流を流すことによって行なわれる。図22(a)に示すような向きにワード線711およびビット線712の電流が流れている場合には、アンペールの法則から、ワード線711に流れる電流によって図22(a)の紙面下から上方向に、ビット線712に流れる電流によって紙面左から右方向に、フリー層754内に磁界が発生する。したがって、フリー層754には、紙面左下から右上に向かう合成磁界が働く。ここで、ワード線711およびビット線712に流れる電流の方向を逆転させると、フリー層754に働く合成磁界の向きが逆転して、紙面右上から左下に向かう。これにより、フリー層754の磁化が反転する。したがって、ワード線711およびビット線712に流れる電流の方向を制御することによって、データの書き込みが行なわれる。

【0004】データの読み出しは、TMRに流れる電流やTMRの両端電圧を測定し、TMRの抵抗値を間接測定することで実現できる。ここで、「0」記憶状態のTMRの抵抗値をR、「1」記憶状態のTMRの抵抗値を(R+ΔR)とすると、MR比=ΔR/R×100(%)で定義されるMR比は、TMRの動作マージンを表す指標となり、通常、10～30%の値を持つ。

【0005】このようなTMRをメモリセルに用いたMRAMの1例として、米国特許第6205073号明細書に、メモリセルアレイ中に、メモリセルの他に参照セルを配置した構造が開示されている。参照セルの抵抗値は固定で、メモリセルを構成するTMRの「0」記憶状態の抵抗値と「1」記憶状態の抵抗値との中間の値を持つ。記憶データの読み出しは、選択されたメモリセルと参照セルとに流れる電流を電圧に増幅変換し、その電圧の大小を比較することによって行なわれる。メモリセルから得られる電圧が参照セルから得られる電圧よりも小さければ、メモリセルの記憶状態は「1」であり、大きければメモリセルの記憶状態は「0」である。

【0006】ところが、上述のように、MRAMの記憶素子に用いられるTMRは、ともに非常に薄い絶縁膜と磁性層より成っている。ここで、印加電圧一定の場合に絶縁膜を通過するトンネル電流、したがって、TMRの抵抗値は、その厚さに対して指数関数的に変化する。例えば、絶縁膜の厚みが1原子層(2～3Å)だけ厚くなったり薄くなったりするだけで、20～30%の抵抗値ばらつきが生じてしまう。しかしながら、膜厚のばらつ

きが1原子層レベルである均一な絶縁膜を生成することは至難である。このTMRの抵抗値ばらつきは、TMRの面積が小さくなればなるほど顕著になってくる。したがって、上述の従来技術によるMRAMでは、メモリセルの記憶状態が「1」であるにもかかわらず、メモリセルから得られる電圧が参照セルから得られる電圧よりも大きくなったり、メモリセルの記憶状態が「0」であるにもかかわらず、メモリセルから得られる電圧が参照セルから得られる電圧よりも小さくなったりする問題が発生し、これが、セル歩留まりを悪化させる大きな要因となる。

【0007】このようなTMRの抵抗値のばらつきによる問題を解決するために、米国特許第6188615号明細書に、参照セルを用いずに、自己リファレンス方式で記憶状態が読み出されるMRAMが開示されている。図23は、この先行技術によるMRAMの回路ブロック図である。図23に示すように、この先行技術によるMRAMは、メモリセルアレイ802と読み出し回路801とから構成されている。メモリセルアレイ802は、互いに直交し合うワード線811とビット線812との各交点に存在する1個のTMR810のみで構成されるメモリセルがマトリクス状に配置されて形成される。読み出し時には、Xセクタ、Yセクタによって選択された選択セルのみが読み出し回路801と接続され、選択セルの両端間に印加される電圧によって選択セルを流れる電流のみが読み出し回路801に入力される。読み出し回路801は、積分手段830、電圧比較手段808A、カウンタ805、プリセットレジスタ807A、判定手段808、基準パルス生成手段834、制御回路809から構成されている。積分手段830は、チャ

ージアンプ833と積分キャパシタ832とを有している。【0008】選択セルに流れる電流が、積分手段830によって電圧に増幅変換され、積分される。読み出し回路801は、積分手段830によって積分された積分電圧 $V_{int}$ が基準電圧 $V_r$ に等しくなるまでの時間 $T_{int}$ を測定することによって、選択セルの抵抗値を間接的に測定する。電圧比較手段808Aは常に $V_{int}$ と $V_r$ の大小を比較しており、 $V_{int} \leq V_r$ である期間中、基準パルス生成手段834で生成される一定周期の基準パルスのパルス数をカウンタ805が数えることによって、 $T_{int}$ が、カウントされたパルス数に比例するデジタル値に変換される。

【0009】図24は、図23の読み出し回路の動作を説明するための動作説明図である。第1の読み出しにおいて、選択セルのTMRが「0」記憶状態にある場合にカウンタ805によってカウントされるパルス数 $c1st(0)$ は、「1」記憶状態にある場合にカウンタ805によってカウントされるパルス数 $c1st(1)$ よりも少ない。次に、この選択セルが「0」または「1」記

憶状態に書き込まれ、第2の読み出しにおいて、第1の読み出しと同様に、 $V_{int} = V_r$ となるまでカウンタ805によってパルス数 $c2nd$ がカウントされる。図24では、「0」記憶状態に書き込まれている。第1および第2の読み出しでカウントされたカウント数より、第1の読み出し時における選択セルの記憶状態が決定される。

【0010】図25は、図23の読み出し回路の動作を説明するためのフローチャートである。1つのメモリセルが選択される(ステップS801)と、カウンタ805に、カウント値 $CNT = d/2$ がロードされる(ステップS802)。ここで、 $d = [c(0) - c(1)]$ であり、 $c(0)$ 、 $c(1)$ は、それぞれ、TMRが「0」記憶状態、「1」記憶状態にあるときに、積分電圧 $V_{int}$ が基準電圧 $V_r$ に等しくなるまでにカウンタ805によってカウントされるカウント数であり、メモリアレイ中の、例えば任意のメモリセルを用いて測定される。この場合、 $d$ は、負の値を取る。次に、第1の読み出しが行われる(ステップS803)。カウンタ805のカウント値 $CNT$ は、第1の読み出しで得られたカウント値 $c1st$ と $d/2$ との和になる。次に、プリセットレジスタ807Aに $-(c1st + d/2)$ が記憶された後、その内容が、カウンタ805にロードし直される(ステップS804)。次に、選択セルに「0」記憶状態が書き込まれる(ステップS805)。次に第2の読み出しが行われる(ステップS806)。カウンタ805のカウント値 $CNT$ は、第2の読み出しで得られるカウント値 $c2nd$ と既にロードされているカウント値 $-(c1st + d/2)$ との和 $[c2nd - (c1st + d/2)]$ となる。次に、判定手段808によって、 $CNT$ の正負が判定される(ステップS807)。 $CNT$ が正であれば、選択セルの第1の読み出し時の記憶状態は「0」であると判定されて(ステップS808)、読み出し動作が終了する。 $CNT$ が負であれば、選択セルの第1の読み出し時の記憶状態は「1」であると判定される(ステップS809)。選択セルの記憶状態が「1」であると判定された場合には、必要に応じて、選択セルに、「1」記憶状態が再書き込みされて(ステップS810)、読み出し動作が終了する。このように読み出しを2回行なうことによって、MRAMにおけるセルの記憶状態が、参照セルを用いずに、自己リファレンス方式に基づいて行われる。以上の自己リファレンス方式では、メモリセルの記憶状態の判定に、メモリセル自身の「0」記憶状態と「1」記憶状態との差分が利用されるので、メモリセル間の抵抗値ばらつきによる影響を軽減することが可能である。

【0011】

【発明が解決しようとする課題】上述した従来の技術では、セルを選択した後、必ず、定数である $d/2$ をカウンタにロードしたり、第1の読み出しの後に、カウンタ

のカウンタ値を逆符号にしてプリセットレジスタに記憶させ、その内容をカウンタにロードし直すというような手順を必要とし、一定の時間を費やす。これを避けるためには、第1の読み出し結果を記憶しておくレジスタを別途に用意し、このレジスタに第2の読み出し動作が終了するまで第1の読み出し結果を記憶させておけばよい。d/2の値は、プリセットレジスタに収納される。しかしながら、その場合には、数ビット分のレジスタ回路が必要であり、回路面積が増大する。さらに、積分手段に用いられる積分キャパシタによって回路面積が大きくなる。例えば、1個のTMRの抵抗値：100kΩ、TMRの両端間電圧降下：0.5V、V<sub>r</sub>：0.5V、積分時間：1μsecとすると、積分キャパシタの容量として、10pFが必要となる。集積回路で10pFの容量を実現するためには、ゲート容量を利用して、40×40μm<sup>2</sup>以上の領域が必要である。また、基準パルス生成手段として、通常PLL（Phase-Locked Loop）が用いられるが、これも回路面積や消費電力を増大させる大きな原因となる。

【0012】本発明はこれらの課題に鑑みてなされたものであって、その目的は、トンネル磁気抵抗素子を利用した不揮発性半導体記憶装置において、小面積で低消費電力であり、高速の読み出しが可能で、且つ、TMRの抵抗値のばらつきによる歩留まりの劣化が防止される読み出し回路を提供することである。

【0013】

【課題を解決するための手段】上記の目的を達成するため、本発明によれば、相対的に抵抗値の小さい第1の記憶状態と、相対的に抵抗値の大きい第2の記憶状態との2つの記憶状態を持つメモリセルよりメモリセルアレイが構成される半導体記憶装置の読み出し回路であって、前記メモリセルのうち選択された選択セルから入力される電流を検出して電圧に増幅変換するプリアンプと、前記プリアンプの出力電圧に比例した周波数で発振する電圧制御発振器と、前記電圧制御発振器から出力されるパルス数を数えるカウンタと、少なくとも1個の記憶手段と、前記選択セルの記憶状態の判定を行う判定手段と、を有していることを特徴とする読み出し回路、が提供される。

【0014】また、上記の目的を達成するため、本発明によれば、相対的に抵抗値の小さい第1の記憶状態と、相対的に抵抗値の大きい第2の記憶状態との2つの記憶状態を持つメモリセルよりメモリセルアレイが構成される半導体記憶装置の読み出し回路であって、前記メモリセルのうち選択された選択セルから入力される電流を検出して電圧に増幅変換するプリアンプと、前記プリアンプの出力電圧を記憶する記憶手段と、前記記憶手段の出力電圧を入力する電圧比較手段と、を有することを特徴とする読み出し回路、が提供される。

【0015】また、上記の目的を達成するため、本発明

によれば、相対的に抵抗値の小さい第1の記憶状態と、相対的に抵抗値の大きい第2の記憶状態との2つの記憶状態を有するメモリセルよりメモリセルアレイが構成される半導体記憶装置の読み出し回路であって、前記メモリセルのうち選択された選択セルから入力される電流を検出して電圧に増幅変換するプリアンプと、前記プリアンプの出力をオン・オフする第1のスイッチ手段と、第1のスイッチ手段の後段にキャパシタを介して接続されたインバータと、前記インバータの後段に接続されたラッチ回路と、前記インバータに並列に接続された第2のスイッチ手段と、を有することを特徴とする半導体記憶装置の読み出し回路、が提供される。

【0016】また、上記の目的を達成するため、本発明によれば、相対的に抵抗値の小さい第1の記憶状態と、相対的に抵抗値の大きい第2の記憶状態との2つの記憶状態を持つメモリセルよりメモリセルアレイが構成される半導体記憶装置の読み出し回路であって、前記メモリセルのうち選択された選択セルから入力される電流を積分する積分手段と、前記積分手段から出力される電圧を記憶する電圧記憶手段と、前記積分手段の出力電圧と前記記憶手段の出力電圧とを入力する電圧比較手段と、を有する読み出し回路、が提供される。そして、好ましくは、前記メモリセルがトンネル磁気抵抗素子を有している。

【0017】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

〔第1の実施の形態〕図1は、本発明の第1の実施の形態に用いたMRAMの回路ブロック図である。図1に示すように、本実施の形態に用いたMRAMは、メモリセルアレイ2と読み出し回路1とを有している。メモリセルアレイ2は、互いに直交しあうワード線11とビット線12との各交点に存在する1個のTMR10のみで構成されるメモリセルがマトリクス状に配置されて形成されているクロスポイントセルアレイである。作図の簡単のために、それぞれ、3本ずつのワード線とビット線しか示されていないが、一般的には、数100～数1000本のワード線とビット線が存在する。読み出し時には、Xセクタ14に行アドレスを、Yセクタ15に列アドレスを与えることによって、メモリセルが選択される。選択されたメモリセル13のTMR10aに接続されている選択ワード線11aは、第1の電源V1に接続され、その選択ビット線12aは、読み出し回路の入力端子と接続される。その他の選択されていない非選択ワード線および非選択ビット線は、第2の電源V2と接続されている。読み出し回路の入力端子電圧は、常に、第2の電源V2と等電圧にされている。この時、選択セル13のTMR10aの両端間には第1の電源V1と第2の電源V2との差の電圧が印加され、TMR10aに流れる電流のみが読み出し回路1に入力される。読み出



し回路1は、選択セルのTMRを流れる電流を電圧に増幅しながら変換するプリアンプ3と、プリアンプ3の出力電圧に比例した周波数で発振するVCO (Voltage Controlled Oscillator) 4と、任意の一定期間にVCO 4の発振パルス数を数えるカウンタ5と、カウンタ5の出力値を格納する読み出し値レジスタ6と、予め判定基準値を格納している基準値レジスタ7と、2つのレジスタ6、7およびカウンタ5の出力値から選択セルに記憶されていた記憶状態を判定する判定手段8と、この読み出し回路1の動作を制御する制御回路9と、を有している。基準値レジスタ7に格納される判定基準値Dは、 $0 < D < |C(0) - C(1)|$ なる値を有する。ここで、 $C(0)$ 、 $C(1)$ は、それぞれ、メモリセルのTMRが「0」記憶状態、「1」記憶状態にあるときに、カウンタ5から出力されるカウント値である。 $C(0)$ 、 $C(1)$ は、例えば、メモリセルアレイ中の任意のメモリセルを、それぞれ、「0」記憶状態、「1」記憶状態にして、そのメモリセルを読み出したときに得られるカウンタ5のカウント値として求められる。なお、全ての実施の形態を通じて、「0」記憶状態、「1」記憶状態とは、それぞれ、ピン層とフリー層との磁化の方向が、互いに平行、反平行になっている状態をいう。

【0018】図2(a)に示すように、プリアンプ3は、メモリセルのTMRの抵抗値に負の傾きを持って比例する電圧を出力する。 $R(0)$ 、 $R(1)$ は、それぞれ、メモリセルのTMRが「0」記憶状態、「1」記憶状態にあるときの抵抗値であり、 $V(0)$ 、 $V(1)$ は、それぞれ、メモリセルのTMRの抵抗値が $R(0)$ 、 $R(1)$ であるときのプリアンプ3の出力電圧である。出力電圧は、プリアンプ3のゲインを調節することによって調整される。また、図2(b)に示すように、VCO 4は、プリアンプ3の出力電圧に比例した周波数で発振する。 $f(0)$ 、 $f(1)$ は、それぞれ、プリアンプ3の出力電圧が $V(0)$ 、 $V(1)$ であるときのVCO 4の発振周波数である。発振周波数は、VCO \*

$C2nd - C1st - D < 0$  ならば 「0」記憶状態

$C2nd - C1st - D \geq 0$  ならば 「1」記憶状態

判定手段8によって第1の読み出し時の選択メモリセルの記憶状態が「1」記憶状態であると判定された場合には、必要に応じて第2の読み出し動作の終了後に、選択セルが「1」記憶状態を取るよう書き込みを行って読み出し動作を終了する。

$C2nd - C1st + D \geq 0$  ならば 「1」記憶状態

$C2nd - C1st + D < 0$  ならば 「0」記憶状態

判定手段8によって第1の読み出し時の選択メモリセルの記憶状態が「0」記憶状態であると判定された場合には、必要に応じて第2の読み出し動作の終了後に、選択セルが「0」記憶状態を取るよう書き込みを行って読み出し動作を終了する。

【0021】図4は、図1のプリアンプ3の回路図であ★50

\* 4のゲインを調節することによって調整される。したがって、図2(a)と図2(b)とより、VCO 4は、図2(c)に示すように、メモリセルのTMRの抵抗値に負の傾きを持って比例する周波数で発振する。VCOの動作マージンや、「1」記憶状態での発振周波数 $f(1)$ と「0」記憶状態での発振周波数 $f(0)$ との差の周波数 $\Delta f$ は、プリアンプ3の入出力特性のゲインやVCO 4のゲイン等で調整可能である。なお、VCOの発振周波数が、メモリセルのTMRの抵抗値に正の傾きを持って比例するように回路を形成することも可能である。さらに、VCOの発振周波数とメモリセルのTMRの抵抗値との間には、必ずしも完全な比例関係の成り立つ必要はなく、単調に変化する関係が成り立っていればよい。

【0019】本実施の形態の読み出し回路1の動作を、図1を参照しながら図3を用いて以下に説明する。図3は、読み出し回路1の動作を説明するための動作説明図である。まず、任意のメモリセルが選択された後、そのメモリセルの第1の読み出しが開始される。第1の読み出しは、上述のように、選択セルのTMRを流れる電流を図1のプリアンプ3で電圧に変換し、VCO 4でプリアンプ3の出力電圧に比例する発振周波数のパルスを生じさせ、得られたパルスの一定の時間内のパルス数をカウンタ5でカウントすることによって行なわれる。カウンタ5から出力されるカウント値 $C1st$ は、読み出し値レジスタ6に格納される。そして、カウンタ5のカウント値が0にリセットされる。次に、選択セルが「0」記憶状態になるよう書き込みを行なった後、第2の読み出し動作が開始される。第2の読み出しは、第1の読み出しと同様にして行なわれる。第2の読み出しの読み出し時間は、第1の読み出しの読み出し時間と等しく設定される。この時カウンタ5から出力されるカウント値を $C2nd$ とする。判定手段8は、次式に基づいて、第1の読み出し時の選択メモリセルの記憶状態を判定する。

※【0020】第1の読み出しの後に、選択セルに「0」記憶状態ではなく「1」記憶状態の書き込みが行なわれた後、第2の読み出し動作が開始されてもよい。この場合には、判定手段8は、次式に基づいて、第1の読み出し時の選択メモリセルの記憶状態を判定する。

★る。このプリアンプ回路は、メモリセルアレイ中の選択ビット線と接続される入力端子の電圧を第2の電源と同じ電圧 $V2$ に保ちつつ、選択セルに流れる電流を電圧に増幅変換する機能を持つ。変換される電圧範囲は、図1のVCO 4の入力電圧範囲内に設定される。図4において、トランジスタM1のソース端子が選択ビット線と接

13

続され、その電圧がV2となるように、バイアス電圧VbがトランジスタM1のゲートに入力される。ここで、Vbは、 $Vb = V2 + Vt$  (Vt: トランジスタM1の\*

$$I_s = (V1 - V2) / R$$

ここで、RはTMRの抵抗値である。トランジスタM3とトランジスタM4とはカレントミラー回路を形成しており、したがって、(1)式に等しい電流Isが、トランジスタM4のドレインソース間に流れる。一方、トランジスタM5とトランジスタM6及びトランジスタM7とトランジスタM8とで形成される2つのカレントミラー回路によって、抵抗Rref1に流れる電流IrがトランジスタM8のドレインソース間に流れる。抵抗Rref1の抵抗値は、トランジスタM8のドレインソース間に流れる電流が、(1)式で与えられる電流値とほぼ等しくなるように設定される。即ち、抵抗Rref1の抵抗値は、TMRの抵抗値に応じてプリアンプの動作点を調整するように設定される。ここで、プリアンプの出力電圧VPA1は、以下の式で表される。

$$VPA1 = I_s \times RM8$$

ここで、RM8は、トランジスタM8のドレインソース間抵抗である。このように、選択セルに流れる電流Isは電圧に変換され、トランジスタM8のドレインソース間抵抗RM8を大きくすることで、その電圧が増幅される。

【0022】図5は、図1のVCO4の回路図である。この回路は、一般的なリングオシレータ型のVCO回路であり、奇数段のディレイセル20から成る発振ループを有している。プリアンプの出力電圧VPA1が、VCOの入力電圧Vcoinとして、トランジスタM11のゲートに入力され、トランジスタM11のドレインソース間に電流Ivが流れる。トランジスタM12とトランジスタM13及びトランジスタM14とトランジスタM15とは、2つのカレントミラー回路を形成しており、各ディレイセルに電流値がIvの電流を流す。入力電圧Vcoinに比例して、電流Ivが変化し、したがって、各ディレイセル20の時定数も変化するので、VCOの発振周波数が変化する。ここで、入力電圧VcoinがトランジスタM11のしきい値電圧以下になると、トランジスタM11～M15に電流が流れなくなり、VCOの発振が停止する。イネーブル信号vcoenaを“high”にしておくことによって、トランジスタM16が導通状態となり、トランジスタM15のゲート電圧がしきい値電圧以下にならないように動作し、VCOの発振停止を防止する。また、イネーブル信号vcoenaを“low”にすると、トランジスタM17が導通状態となり、強制的にトランジスタM15のゲート電圧をしきい値電圧以下に下げて、VCOの発振を停止させる。各ディレイセルの出力振幅は微小であるので、差動アンプ21によりロジックレベルの電圧まで増幅して、出力Vvcooutを出力する。

14

\*しきい値電圧)である。このとき、トランジスタM1のドレインソース間に流れる電流Isは、選択セルのTMRに流れる電流に等しくなり、次式で与えられる。

$$(1)$$

※【0023】図6は、図4に示すプリアンプ回路3と図5に示すVCO回路4とを用いたSPICEシミュレーションにより得られたTMR抵抗-発振周波数特性である。プリアンプ3の抵抗Rref1の抵抗値を変えることで、TMR抵抗の動作マージンや発振周波数差Δfの調整が可能である。例えば、Rref1=100kΩとした時、TMRの抵抗値が50～150kΩのメモリセルまで読み出し可能であり、MR比=10%であれば、発振周波数差Δfは100MHz程度となる。前記の第1の読み出し時間T1及び第2の読み出し時間T2を1μsecとすると、「1」記憶状態と「0」記憶状態とのカウント値の差は100程度になり、D=50程度にすれば、容易に「1」記憶状態と「0」記憶状態との判定ができる。

【0024】以上のように、VCOを用いることで容易にデジタル化が実現できる。さらに、VCOは位相軸上で積分機能を有しているため、図23に示される従来技術の積分手段830と同様に、回り込み電流や交流的な雑音電流を排除することができる。また、図23に示される従来技術の読み出し回路801で用いられている積分手段830や基準パルス生成手段834が不要となるので、回路面積や消費電力の削減を図ることができる。さらに、d/2をカウンタにロードしたり、第1の読み出しの後に、カウンタのカウント値を逆符号にしてプリセットレジスタに記憶させ、その内容をカウンタにロードし直すというような手順を必要としないため、高速の読み出しが可能である。また、本実施の形態による読み出し回路1は、電圧軸上で高精度な回路が必要なく、また、VCOは電圧軸上でデジタル的に振振う回路であるため、低電圧動作を可能にする。さらに、VCOは、微細プロセスを用いて作製することによってさらに高い周波数で発振でき、デバイスの微細化に有利である。

【0025】〔第2の実施の形態〕図7は、本発明の第2の実施の形態の読み出し回路の回路ブロック図である。図7に示すように、本実施の形態の読み出し回路101は、選択セルを流れる電流を電圧に増幅変換し、且つ、変換ゲインを制御できるゲインコントロールプリアンプ103Aと、ゲインコントロールプリアンプ103Aの出力電圧に比例した周波数で発振するVCO104と、任意の一定期間にVCO104の発振パルスのパルス数を数えるカウンタ105と、カウンタ105の出力値を格納する読み出し値レジスタ106と、読み出し値レジスタ106とカウンタ105との出力値から選択セルに記憶されていた記憶状態を判定する判定手段108と、この読み出し回路101の動作を制御する制御回路109と、を有している。図7において、図1と同様

※50

たは同一の機能を有する構成要素には下1桁が等しい参照符号が付されており、その詳しい説明を省略する。

【0026】ゲインコントロールプリアンプ103Aの入力には、第1の実施の形態のメモリセルアレイ2と同じ構成のメモリセルアレイが接続される。102は、ゲインコントロールプリアンプ103Aの入力に接続されるメモリセルアレイを、1つのメモリセルで表したものである。2つのNチャネルMOSFETは、それぞれ、Xセクタ、Yセクタを表しており、2つのNチャネルMOSFETを導通状態にすることによって、セルの一端が第1の電源V1に、他端が第2の電源V2に等しい電圧に保持されているゲインコントロールプリアンプ103Aの入力に、それぞれ接続される。本実施の形態では、第1の電源V1が接地電位である。

【0027】図8は、第1の実施の形態の場合の図2(c)と同様に、メモリセルのTMRの抵抗値に対して、VCOの発振周波数がどのように変化するかを示している。図8において、曲線Aは、ゲインコントロールプリアンプ103Aのゲインをある値に設定したときに得られるVCOの発振周波数の変化を示しており、曲線Bは、ゲインコントロールプリアンプ103Aのゲインを曲線Aの場合よりも幾分か下げたときに得られるVCOの発振周波数の変化を示している。

【0028】本実施の形態においても、第1の実施の形態と同様に、第1の読み出しと第2の読み出しとの2回の読み出しによる、自己リファレンス方式に基づく読み出し動作が行なわれる。第1の読み出しにおいては、図8の曲線Aを与えるゲインコントロールプリアンプ103Aのゲインが使用され、第2の読み出しにおいては、図8の曲線Bを与えるゲインコントロールプリアンプ103Aのゲインが使用される。ここで、第1の読み出しに用いるゲインコントロールプリアンプ103AのゲインA1stにおいて、TMRが「0」記憶状態にある場合のVCOの発振周波数f1st(0)と、「1」記憶状態にある場合のVCOの発振周波数f1st(1)と、第2の読み出しに用いるゲインコントロールプリアンプ103AのゲインA2ndにおいて、TMRが「0」記憶状態にある場合のVCOの発振周波数f2nd(0)と、の間に以下の関係式が成り立つように、ゲインA1st、ゲインA2ndを調整する。

$$f1st(1) < f2nd(0) < f1st(0)$$

【0029】次に、図9のフローチャートを用いて、図7の読み出し回路の動作を説明する。

S101: セルが選択される。

S102: カウンタ105のカウント値が0に設定される。

S103: 第1の読み出しが実行される。カウンタ105の出力値C1stが、読み出し値レジスタ106に格納された後、カウンタ105のカウント値が0に設定される。

S104: 選択セルに「0」記憶状態を書き込む。

S105: 第2の読み出しが実行される。カウンタ105のカウント値はC2ndである。

S106: 判定手段108で、 $H = C2nd - C1st$ の値が計算される。

S107: 判定手段108で、Hが正の値または0であるかどうか判定される。

S108: Hが正の値であれば、選択セルの第1の読み出し時における記憶状態が「1」と判定される。

10 S109: 必要に応じて、選択セルに「1」記憶状態が再書き込みされて、読み出し動作が終了する。

S110: Hが正の値でなければ、選択セルの第1の読み出し時における記憶状態が「0」と判定されて、読み出し動作が終了する。

第1の読み出し時間と第2の読み出し時間とが等しいことは、第1の実施の形態と同様である。

【0030】なお、選択セルの第1の読み出しの後、「0」記憶状態を書き込む代わりに、「1」記憶状態を書き込むことも可能である。この場合には、第2の書き込みにおけるゲインコントロールプリアンプ103AのゲインA2ndの方が、第1の書き込みにおけるゲインコントロールプリアンプ103AのゲインA1stよりも大きく設定される。そして、f1st(0)と、f1st(1)と、第2の読み出しに用いるゲインコントロールプリアンプ103AのゲインA2ndにおいて、TMRが「1」記憶状態にある場合のVCOの発振周波数f2nd(1)と、の間に以下の関係式が成り立つように、ゲインA1st、ゲインA2ndを調整する。

$$f1st(1) < f2nd(1) < f1st(0)$$

30 選択セルの第1の読み出しの後に「0」記憶状態が書き込まれる場合と同様に、判定手段108にて、 $H = C2nd - C1st$ が正であるかどうか判定され、Dが正であれば、選択セルの第1の読み出し時における記憶状態は「1」、Dが正でなければ、選択セルの第1の読み出し時における記憶状態は「0」と判定される。

【0031】図10は、図7のゲインコントロールプリアンプ103Aの回路図である。図10において、図4と同様または同一の機能を有する構成要素には下1桁が等しい参照符号が付されており、その詳しい説明を省略する。このゲインコントロールプリアンプ回路は、メモリセルアレイ中の選択ビット線と接続される入力端子の電圧を第2の電源と同じ電圧V2に保ちつつ、選択セルに流れる電流を電圧に増幅変換する機能を持ち、さらに、そのゲインまたは／および動作点を変えることが可能である。変換される電圧範囲は、図7のVCO104の入力電圧範囲内に設定される。ゲインコントロールプリアンプ103Aの動作原理は、図4のプリアンプ3とそれとはほぼ同様であり、出力電圧VPA2は、次式で与えられる。

$$50 \quad VPA2 = Is \times RM108$$

したがって、M108のドレインソース間抵抗RM108を調整することによって、ゲインコントロールプリアンプ103Aのゲイン及び動作点に変化する。図10においては、M108に接続される基準抵抗を2段に設け、それらを切り替えることによって、RM108の値を調整している。即ち、第1の読み出し時ではM109を導通状態、M110を非導通状態にして、M108に接続される抵抗を(Rref2+ΔRref2)とする。第2の読み出し時にはM109を非導通状態、M110を導通状態にしてM108に接続される抵抗をRref2とする。

【0032】図11は、図10のゲインコントロールプリアンプ回路において、その出力点に0~Vddの電圧を印加したときにトランジスタM108、M104に流れる電流IM108、IM104を示している。それらの交点が、ゲインコントロールプリアンプ103Aの安定な動作点である。交点Aは、第1の読み出しにおいて、選択セルの記憶状態が「1」である場合、交点Bは、第1の読み出しにおいて、選択セルの記憶状態が「0」である場合、交点Cは、第2の読み出しにおいて、選択セルの記憶状態が「0」である場合、にそれぞれ対応する。交点Dは、第2の読み出しにおいて、選択セルの記憶状態が「1」である場合に対応するが、第1の読み出しの後に、選択セルが「0」記憶状態に書き込まれた場合には、交点Dは、意味のない点である。

【0033】交点A、B、Cに対応する電圧を、それぞれ、V1st(1)、V1st(0)、V2nd(0)としたとき、 $V1st(1) < V2nd(0) < V1st(0)$ となるようにRref2およびΔRref2が選択される。理論的には、 $\Delta Rref2 / Rref2$ 比は、MR比の1/2程度にすることが好ましい。このようにRref2およびΔRref2の値を決定することによって、式(12)を満足する、図9に示すようなTMR抵抗-VC0発振周波数特性が得られる。以上は、第1の読み出しの後に、選択セルが「0」記憶状態に書き込まれる場合であるが、第1の読み出しの後に、選択セルが「1」記憶状態に書き込まれる場合には、第1の読み出し時ではM109を非導通状態、M110を導通状態にし、第2の読み出し時にはM109を導通状態、M110を非導通状態にして、上述と同様の手順により、Rref2およびΔRref2の値を決定すればよい。このとき、 $V1st(1) < V2nd(1) < V1st(0)$ とする。

【0034】以上説明したように、選択セルに流れる電流を、第1の読み出し時と第2の読み出し時において異なるゲインで電圧に変換することによって、第1の実施の形態において必要であった基準値レジスタを削除することができる。また、判定手段108による判定において、第1の実施の形態における判定基準値などを導入することなく判定を行なうことが可能であるため、判定手

段の回路規模も縮小することができる。

【0035】〔第3の実施の形態〕図12は、本発明の第3の実施の形態の読み出し回路の回路図である。図12に示すように、本実施の形態の読み出し回路201は、選択セルを流れる電流を電圧に増幅変換するプリアンプ203と、プリアンプ203の出力電圧に比例した周波数で発振するVC0204と、VC0204の発振パルスのパルス数を数えるカウンタ205と、カウンタ205の出力値を格納する読み出し値レジスタ206と、読み出し値レジスタ206とカウンタ205との出力値から選択セルに記憶されていた記憶状態を判定する判定手段208と、この読み出し回路201の動作を制御する制御回路209と、を有している。図12において、図1と同様または同一の機能を有する構成要素には下1桁が等しい参照符号が付されており、その詳しい説明を省略する。

【0036】ゲインコントロールプリアンプ103Aの入力には、第1の実施の形態および第2の実施の形態のメモリセルアレイと同じ構成のメモリセルアレイ202が接続される。プリアンプ203には、図4のプリアンプ3と同じ構成のプリアンプが用いられ、VC0204には、図5のVC04と同じ構成のVC0が用いられ、イネーブル信号vcoena(図示せず)によって、その発振の開始/停止が制御される。本実施の形態においては、第1の読み出し時間T1が、第2の読み出し時間T2よりも長く設定される。ここで、 $T1 = T2 + \Delta T$ としたとき、 $\Delta T / T2$ 比は、MR比の1/2程度にするのが望ましい。

【0037】図13に示すように、本実施の形態においても、第1の読み出しと第2の読み出しとの2回の読み出しによる、自己リファレンス方式に基づく読み出し動作が行なわれる。図13で、第1の実施の形態と同様に、第1の読み出し時間T1における読み出しにおいてカウンタによって読み出されるパルス数は、選択セルの記憶状態が「0」である場合の方が、選択セルの記憶状態が「1」である場合よりも多い。ここで、第2の読み出しにおいて読み出されるメモリセルが「0」記憶状態にあるときに読み出されるパルス数が、第1の読み出し時間T1における読み出しにおいて、選択セルが「0」記憶状態であるときに読みだされるパルス数と、選択セルが「1」記憶状態であるときに読みだされるパルス数との中間の値になるように、第2の読み出しの読み出し時間T2が設定される。

【0038】読み出し動作は、以下のように行なわれる。まず、任意のメモリセルが選択され、そのメモリセルの第1の読み出し動作によって、カウンタ205に、カウント値C1stがカウントされる。カウント値C1stが、読み出し値レジスタ206に格納され、カウンタ205のカウント値が0にリセットされる。次に、選択セルを「0」記憶状態に書き込みを行なった後、第2

の読み出し動作が行なわれ、カウンタ205に、カウンタ値C2ndがカウントされる。判定手段208は、次式で与えられる判定式に基づいて、第1の読み出し時の選択メモリセルの記憶状態を判定する。

$C2nd - C1st < 0$  ならば 「0」記憶状態  
 $C2nd - C1st \geq 0$  ならば 「1」記憶状態  
 第1の読み出し時の選択メモリセルの記憶状態が「1」とであると判定されたときは、選択セルに「1」の再書き込みを行って読み出し動作を終了する。

【0039】第2の読み出しにおいて読み出されるメモリセルが「1」記憶状態にあるときに読み出されるパルス数が、第1の読み出し時間T1における読み出しにおいて、選択セルが「0」記憶状態であるときに読み出されるパルス数と、選択セルが「1」記憶状態であるときに読み出されるパルス数との中間の値になるように、第2の読み出しの読み出し時間T2が設定されてもよい。この場合には、 $T1 < T2$ となる。選択セルの第1の読み出しの後に、「1」記憶状態が書き込まれる。判定手段208は、上述の判定式に基づいて、第1の読み出し時の選択メモリセルの記憶状態を判定する。

【0040】以上説明したように、第2の読み出し時間を第1の読み出し時間よりも短く、あるいは、長くすることによって、第1の実施の形態の読み出し回路1において必要であった基準値レジスタが不要となり、また、判定手段の規模も縮小できる。

【0041】〔第4の実施の形態〕図14は、本発明の第4の実施の形態の読み出し回路の回路図である。図14に示すように、本実施の形態の読み出し回路301は、選択セルを流れる電流を電圧に増幅変換し、且つ、変換ゲインを制御できるゲインコントロールアンプ303Aと、ゲインコントロールアンプ303Aの出力電圧を記憶する電圧記憶手段306Aと、電圧記憶手段306Aとゲインコントロールアンプ303Aとの出力電圧の大小を比較する電圧比較手段308Aと、読み出し回路301を制御する制御回路309と、を有している。図14において、図7と同様または同一の機能を有する構成要素には下1桁が等しい参照符号が付されており、その詳しい説明を省略する。ゲインコントロールアンプ303Aの入力には、第1～第3の実施の形態のメモリセルアレイと同じ構成のメモリセルアレイ302が接続される。

【0042】本実施の形態においても、第1の読み出しと第2の読み出しとの2回の読み出しによる、自己リフレッシュ方式に基づく読み出し動作が行なわれる。図14の電圧記憶手段306Aは、第1の読み出し動作時に出力されたゲインコントロールアンプ303Aの出力電圧を、第2の読み出し動作が終了するまで記憶する。ゲインコントロールアンプ303Aは、第2の実施の形態の場合と同様に、第1の読み出し時と第2の読み出し時とでゲインあるいは動作点を変更する機能を

有している。

【0043】図15は、メモリセルのTMRの抵抗値に対して、ゲインコントロールアンプ303Aの出力電圧がどのように変化するかを示している。図15において、曲線A、Bは、それぞれ、第1の読み出し、第2の読み出しにおけるゲインコントロールアンプ303Aのゲインにおいて得られるゲインコントロールアンプ303AのTMR抵抗値－出力電圧特性である。第1の読み出しにおけるゲインコントロールアンプ303Aのゲインの方が、第2の読み出しにおけるゲインコントロールアンプ303Aのゲインよりも大きく設定されている。ここで、第1の読み出しに用いるゲインコントロールアンプ303Aのゲインにおいて、TMRが「0」記憶状態にある場合のゲインコントロールアンプ303Aの出力電圧V1st(0)と、「1」記憶状態にある場合のゲインコントロールアンプ303Aの出力電圧V1st(1)と、第2の読み出しに用いるゲインコントロールアンプ303Aのゲインにおいて、TMRが「0」記憶状態にある場合のゲインコントロールアンプ303Aの出力電圧V2nd(0)と、の間に以下の関係式が成り立つように、第1の読み出し時、第2の読み出し時のゲインを調整する。

$$V1st(1) < V2nd(0) < V1st(0)$$

【0044】図16は、図14の読み出し回路301の動作を説明するための動作説明図である。第1の実施の形態および第2の実施の形態と同様に、選択セルに対して第1の読み出しを実行した後、「0」記憶状態に書き込みを行ない、次いで、第2の読み出しを実行して、読み出し動作を行う。図14の電圧比較手段308Aは、第1の読み出し時におけるゲインコントロールアンプ303Aの出力電圧を記憶している電圧記憶手段306Aの出力電圧と、第2の読み出し時のゲインコントロールアンプ303Aの出力電圧との大小を比較して、選択セルの第1の読み出し時における記憶状態を判定する。上述のように第1の読み出し時、第2の読み出し時のゲインが調整されているので、第1の読み出し、第2の読み出しにおけるゲインコントロールアンプ303Aの出力電圧を、それぞれ、V1st、V2ndとすると、明らかに、次の判定式が成立する。

$$V2nd - V1st < 0 \text{ ならば } 「0」 \text{ 記憶状態}$$

$$V2nd - V1st \geq 0 \text{ ならば } 「1」 \text{ 記憶状態}$$

なお、第2の実施の形態、第3の実施の形態と同様に、第1の読み出しの後に、「0」記憶状態ではなく、「1」記憶状態を書き込むことも可能である。その場合には、ゲインコントロールアンプ303Aの第1の読み出し時、第2の読み出し時におけるゲインは、 $V1st(1) < V2nd(1) < V1st(0)$ の条件が満足されるように選択される。選択セルの第1の読み出し時における記憶状態は、上述の判定式に基づいて行わ

れる。

【0045】〔第5の実施の形態〕図17(a)は、本発明の第5の実施の形態の読み出し回路の要部を示す回路図である。図17(a)に示す回路は、図14の読み出し回路の電圧記憶手段306A及び電圧比較手段308Aの機能を果たす回路であり、図示されていないが、本実施の形態の読み出し回路においても、図14に示されるゲインコントロールアンプ303A、制御回路309が設けられている。ゲインコントロールアンプの出力端から読み出し回路の出力端に向かって、スイッチS1、キャパシタC、インバータINV、ラッチ回路LTが直列に接続されており、インバータINVにはスイッチS2が並列に接続されている。そして、スイッチS1、S2の開閉とラッチ回路LTのラッチ動作は図示省略された制御回路によって行われる。図17(b)は、図17(a)の動作を説明するための動作説明図であり、第1の読み出し時の選択セルの記憶状態が「1」であり、第1の読み出しの後に、選択セルの記憶状態が「0」に書き込まれる場合を想定して書かれている。第1の読み出し時には、スイッチS1、S2がともにONとされ、インバータINVの両端の電位 $V_a$ 、 $V_b$ の値はたがいに等しくなる。キャパシタCのインバータINVと逆側の端子の電位は、その前段のゲインコントロールアンプの出力電圧 $V_{1st}(1)$ に等しい。次に、選択セルが、「0」記憶状態に書き込まれた後、第2の読み出しが実行される。第2の読み出し時では、スイッチS1がON、S2がOFFとされる。このとき、キャパシタCのゲインコントロールアンプ側の端子電位は、ゲインコントロールアンプの出力電圧 $V_{2nd}(0)$ に上昇する。そうすると、インバータINVの入力電位も、 $[V_{2nd}(0) - V_{1st}(1)]$ だけ上昇して正側に振れ、インバータの出力は、“Low”となり、この出力はラッチ回路にラッチされる。第1の読み出し時の選択セルの記憶状態が「0」である場合には、選択セルが、「0」記憶状態に書き込まれた後、第2の読み出しが行なわれると、インバータINVの入力電位は、 $[V_{2nd}(0) - V_{1st}(0)]$ だけ負側に振れ、インバータの出力は、“High”となる。これにより、選択セルの第1の読み出し時における記憶状態が判別される。本実施の形態および第4の実施の形態においては、第1の読み出し、第2の読み出しともに、その読み出し時間に特別の制限はない。

【0046】以上のように、第4、第5の実施の形態の読み出し回路においては、第1の読み出し結果を電圧あるいは電荷量として電圧記憶手段あるいはキャパシタに記憶している。従って、デジタル値に変換するためのカウンタや基準パルス生成手段、さらにはレジスタや判定手段等のデジタル回路も削除できるため、従来の読み出し回路よりも回路規模を大幅に小さくすることができる。また、パルス数をカウントする必要もないため、読

み出し速度も短縮できる。

【0047】〔第6の実施の形態〕図18は、本発明の第6の実施の形態の読み出し回路の回路図である。図18に示すように、本実施の形態の読み出し回路401は、選択セルを流れる電流を時間積分する積分手段430と、積分手段430の出力電圧を記憶する電圧記憶手段406Aと、電圧記憶手段406Aと前記積分手段430との出力電圧の大小を比較する電圧比較手段408Aと、読み出し回路401を制御する制御回路409と、を有している。図18において、図14と同様または同一の機能を有する構成要素には下1桁が等しい参照符号が付されており、その詳しい説明を省略する。積分手段430の入力には、第1～第4の実施の形態のメモリセルアレイと同じ構成のメモリセルアレイ402が接続される。

【0048】本実施の形態においても、第1の読み出しと第2の読み出しとの2回の読み出しによる、自己リフレッシュ方式に基づく読み出し動作が行なわれる。第1の読み出しにおける積分手段430による積分時間 $T_{int1}$ と第2の読み出しにおける積分時間 $T_{int2}$ とは、相等しい。電圧記憶手段406Aは、第1の読み出し動作時に出力された積分手段430の出力電圧を第2の読み出し動作が終了するまで記憶する。

【0049】図19は、図18の積分手段430と電圧記憶手段406Aと電圧比較手段408Aの回路図である。積分手段430には、積分手段430に流入してくる電流を分岐する定電流源回路431が接続されている。本実施の形態においては、第1の読み出しと第2の読み出しとにおいて、積分手段430の時定数が異なるものとなされる。積分手段430の時定数は、種々の方法で変化させることができる。まず、積分キャパシタ432の容量値を変えることによって、積分手段430の時定数が変化する。定電流源回路431に流れる電流 $I_r$ を変えることによっても、等価的に積分手段430の時定数を変化させることができる。以下に、第1の読み出しと第2の読み出しとにおいて定電流源回路431に流れる電流 $I_r$ を変える場合を例として、積分手段430の時定数を変化させて読み出しを行なう方法を説明する。

【0050】読み出し時間が一定であれば、定電流源回路431に流れる電流 $I_r$ を大きくすればするほど、積分手段430の出力 $V_{int}$ は小さくなる。ここで、第1の読み出し時の電流 $I_r$ において、TMRが「0」記憶状態にある場合の積分手段430の出力電圧 $V_{int1st}(0)$ と、「1」記憶状態にある場合の積分手段430の出力電圧 $V_{int1st}(1)$ と、第2の読み出し時の電流 $I_r$ において、TMRが「0」記憶状態にある場合の積分手段430の出力電圧 $V_{int2nd}(0)$ と、の間に以下の関係式が成り立つように、第1の読み出し時、第2の読み出し時の電流 $I_r$ を調整す

る。

$$Vint1st(1) < Vint2nd(0) < Vint1st(0) \quad (2)$$

【0051】図20は、図18の読み出し回路401の動作を説明するための動作説明図である。選択セルに対して第1の読み出しを実行した後、「0」記憶状態になるように書き込みを行ない、次いで、第2の読み出しを実行して、読み出し動作を行う。まず、第1の読み出しに入る前に図19のスイッチS3がONされて積分手段430がリセットされる。次に、スイッチS3がOFF、S4とS5とがONされて第1の読み出しが開始される。Tint1の時間が経過するとスイッチS3がON、S4とS5とがOFFされて再び積分手段430はリセットされる。このとき、キャパシタCholdには、第1の読み出し時における積分手段430の出力電\*

$$Vint2nd - Vint1st < 0 \text{ ならば } \quad \text{「0」記憶状態}$$

$$Vint2nd - Vint1st \geq 0 \text{ ならば } \quad \text{「1」記憶状態}$$

【0052】なお、第2～第4の実施の形態と同様に、第1の読み出しの後に、「0」記憶状態でなく、「1」記憶状態を書き込むことも可能である。その場合には、定電流源回路431の第1の読み出し時、第2の読み出し時における電流I<sub>r</sub>は、 $Vint1st(1) < Vint2nd(1) < Vint1st(0)$ の条件が満足されるように選択される。選択セルの第1の読み出し時における記憶状態は、上述の判定式に基づいて行われる。最後に、必要に応じて、前記電圧比較手段408Aが出力した読み出しデータを選択セルに再書き込みして、一連の読み出し動作を終了する。

【0053】以上の説明においては、第1の読み出し時と第2の読み出し時とで、電流源回路431の電流I<sub>r</sub>を変えることによって積分手段430の時定数を等価的に変更したが、上述のように、式(2)が成立するようにキャパシタ432の容量値を変えて積分手段430の時定数を変更してもよい。また、積分手段430の時定数は、第1の読み出しと第2の読み出しとで一定とし、第1の読み出し時における積分時間Tint1と、第2の読み出し時における積分時間Tint2とを、式(2)が成立するような異なる時間に設定しても構わない。なお、積分手段430は、メモリセルアレイ402から読み出し回路へ入力される電流のうちのオフセット成分やノイズ成分を除去する効果も有している。

【0054】以上説明したように、本実施の形態の読み出し回路401においては、第1の読み出し結果を電荷量としてキャパシタに記憶している。従って、デジタル値に変換するためのカウンタや基準パルス生成手段、さらにレジスタや判定手段等のデジタル回路も削除でき、従来の読み出し回路よりも回路規模を大幅に小さくすることができる。

【0055】以上、本発明をその好適な実施の形態に基づいて説明したが、本発明の読み出し装置は、上述した実施の形態のみに制限されるものではなく、本願発明の※50

\* 圧Vint1stが保持(記憶)される。次いで、選択セルに、「0」記憶状態の書き込みが行なわれた後、スイッチS3がOFF、S4がON、S5がOFFとされて、第2の読み出しが開始される。Tint2(=Tint1)の時間が経過すると、電圧比較手段408Aが、積分手段430の出力電圧Vint2ndとキャパシタCholdに保持されている電圧Vint1stとの大きさを比較して、選択セルの第1の読み出し時の記憶状態を判定する。上述のように第1の読み出し時、第2の読み出し時の電流I<sub>r</sub>が調整されているので、明らかに、次の判定式が成立する。

※要旨を変更しない範囲で種々の変化を施した読み出し装置も、本発明の範囲に含まれる。例えば、ピン層とフリー層との磁化の方向が、互いに反平行、平行になっている状態を、それぞれ、「0」記憶状態、「1」記憶状態としてもよい。また、メモリセルアレイは、2次元配列に限られず、1次元配列であってもよい。また、メモリセルには、TMRに限らず、例えば特開2001-267513号公報に開示されているエレクトロマイグレーションによって抵抗値が変化するメモリセルのように、電気的あるいは光学的な入力によって抵抗値が変化するものはいずれであっても用いられ得る。

#### 【0056】

【発明の効果】以上説明したように、本発明に係る読み出し回路は、選択メモリセルからの電流を積分する積分手段としてVCOを用いるものであるため、容易にデジタル変換を可能とし、メモリセルアレイからの回り込み電流や交流的な雑音電流を排除しながら、低電圧動作を可能にするとともに、基準パルス生成手段や積分キャパシタを不要とし、回路面積や消費電力の縮小を可能とする。また、本発明に係る読み出し回路は、選択メモリセルからの電流を電荷量あるいは電圧として記憶するものであるから、選択メモリセルからの電流をデジタル値に変換する必要がなく、基準パルス生成手段だけではなく、カウンタ、レジスタ、判定手段等のデジタル回路も不要となり、回路規模及び消費電力の縮小を可能にするとともに、読み出し速度の短縮を可能とする。

#### 【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に用いたMRAMの回路ブロック図。

【図2】 図1のプリアンプとVCOの動作を説明するための動作説明図。

【図3】 図1の読み出し回路の動作を説明するための動作説明図。

【図4】 図1のプリアンプの回路図。

【図5】 図1のVCOの回路図。

【図6】 図4のプリアンプ回路と図5のVCO回路におけるTMR抵抗-発振周波数特性。

【図7】 本発明の第2の実施の形態の読み出し回路の回路ブロック図。

【図8】 図7のゲインコントロールプリアンプとVCOの動作を説明するための動作説明図。

【図9】 図7の読み出し回路の動作を説明するためのフローチャート。

【図10】 図7のゲインコントロールプリアンプの回路図。

【図11】 図10のゲインコントロールプリアンプの動作を説明するための動作説明図。

【図12】 本発明の第3の実施の形態の読み出し回路の回路図。

【図13】 図12の読み出し回路の動作を説明するための動作説明図。

【図14】 本発明の第4の実施の形態の読み出し回路の回路図。

【図15】 図14のゲインコントロールプリアンプの動作を説明するための動作説明図。

【図16】 図14の読み出し回路の動作を説明するための動作説明図。

【図17】 本発明の第5の実施の形態の読み出し回路の一部の回路図〔(a)〕と動作を説明するための動作説明図〔(b)〕。

【図18】 本発明の第6の実施の形態の読み出し回路の回路図。

【図19】 図18の積分手段と電圧記憶手段と電圧比較手段の回路図。

【図20】 図18の読み出し回路401の動作を説明するための動作説明図。

【図21】 トンネル磁気抵抗素子の構造と原理を説明するための斜視図。

【図22】 MRAMのメモリセルの動作を説明するための平面図〔(a)〕と断面図〔(b)〕。

【図23】 従来例のMRAMの回路ブロック図。

【図24】 図23の読み出し回路の動作を説明するための動作説明図。

【図25】 図23の読み出し回路の動作を説明するた

めのフローチャート。

【符号の説明】

1、101、201、301、401、801 読み出し回路

2、102、202、302、402、802 メモリセルアレイ

3、203 プリアンプ

4、104、204 VCO

5、105、205、805 カウンタ

6、106、206 読み出し値レジスタ

7 基準値レジスタ

8、108、208、808 判定手段

9、109、209、309、409、809 制御回路

10、610、710、810 TMR

11、711、811 ワード線

12、712、812 ビット線

13 選択セル

20 デイレイセル

21 差動アンプ

430、830 積分手段

431 定電流源

432、832 積分キャパシタ

652、752 絶縁膜

653、753 ピン層

654、754 フリー層

755 反強磁性体層

756 キャップ層

833 チャージアンプ

30 834 基準パルス生成手段

10a 選択セルのTMR

11a 選択ワード線

12a 選択ビット線

103A、303A ゲインコントロールプリアンプ

306A、406A 電圧記憶手段

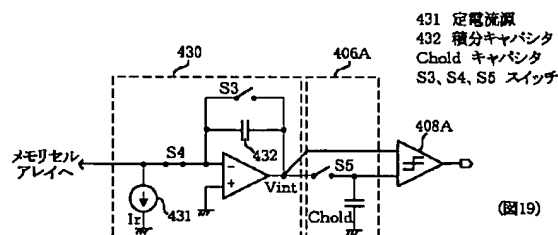
308A、408A、808A 電圧比較手段

807A プリセットレジスタ

C、Chold キャパシタ

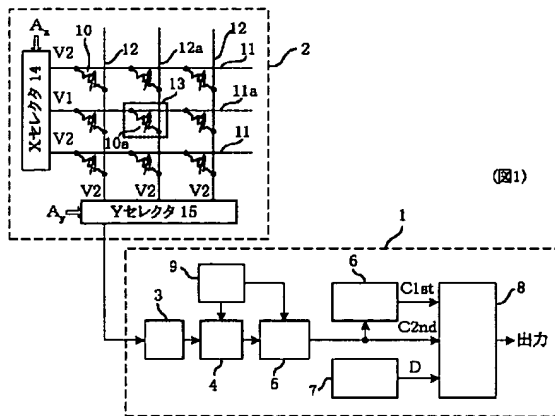
S1、S2、S3、S4、S5 スイッチ

【図19】



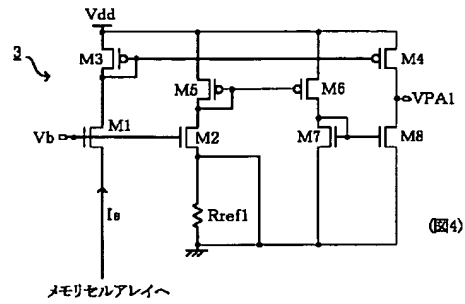


【図1】

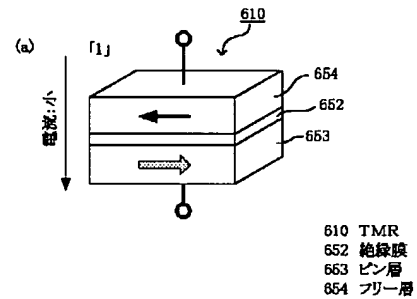


- |            |             |              |
|------------|-------------|--------------|
| 1 読み出し回路   | 6 読み出し値レジスタ | 10a 選択セルのTMR |
| 2 メモリセルアレイ | 7 基準値レジスタ   | 11 ワード線      |
| 3 プリアンプ    | 8 判定手段      | 11a 選択ワード線   |
| 4 VCO      | 9 制御回路      | 12 ビット線      |
| 5 カウンタ     | 10 TMR      | 12a 選択ビット線   |
|            |             | 13 選択セル      |

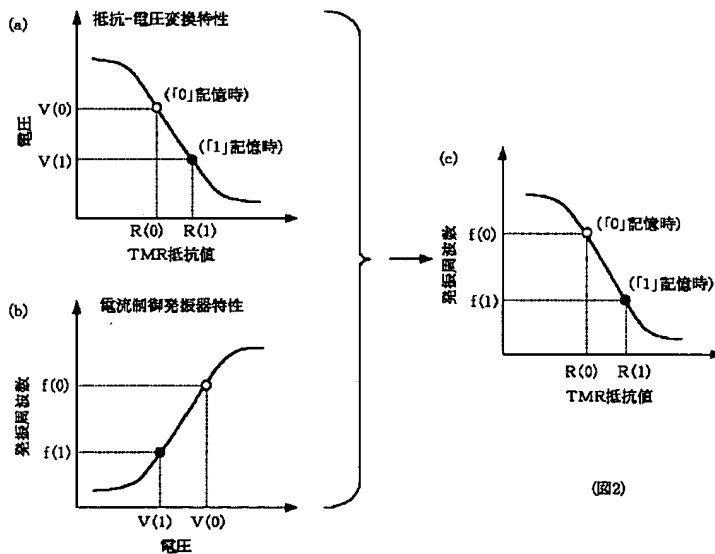
【図4】



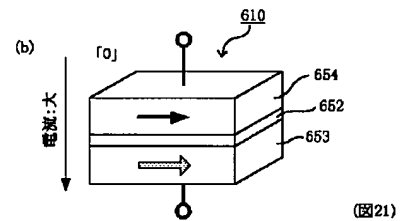
【図21】



【図2】

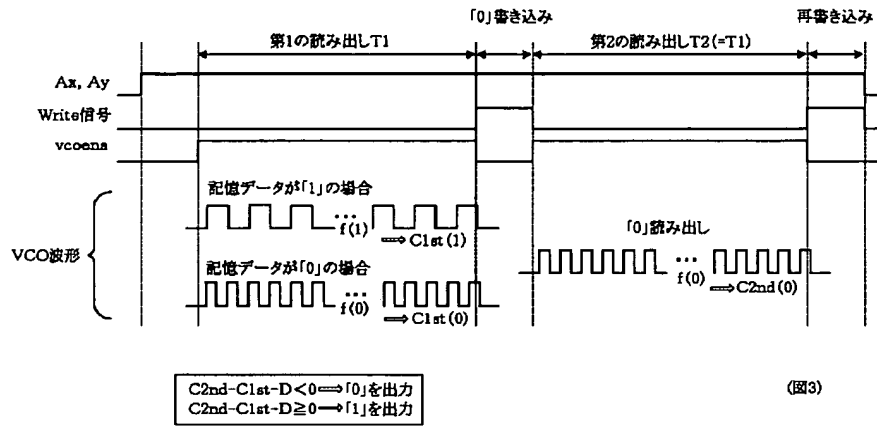


(図2)



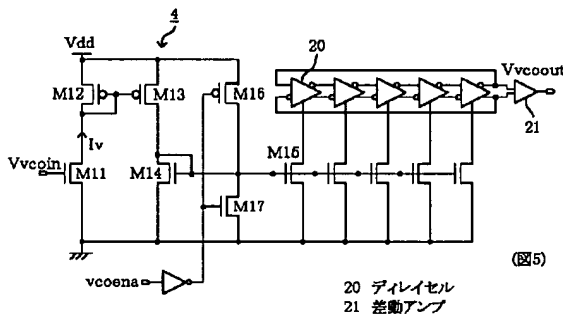
(図21)

【図3】



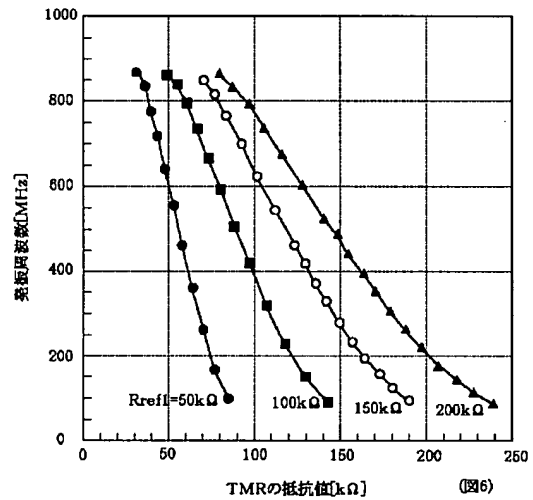
(図3)

【図5】



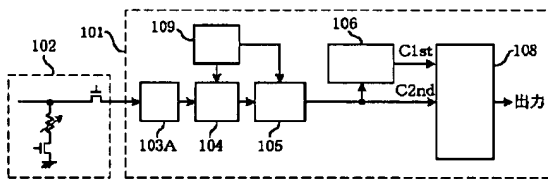
(図5)

【図6】



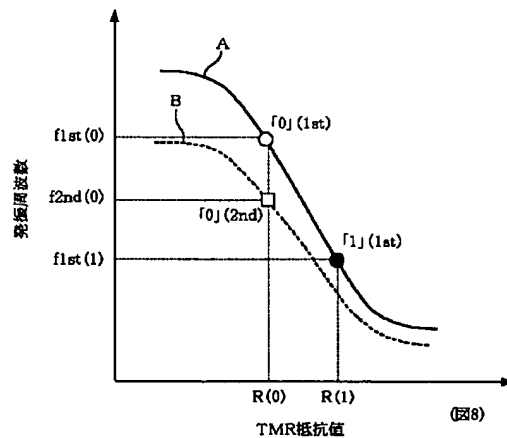
(図6)

【図7】



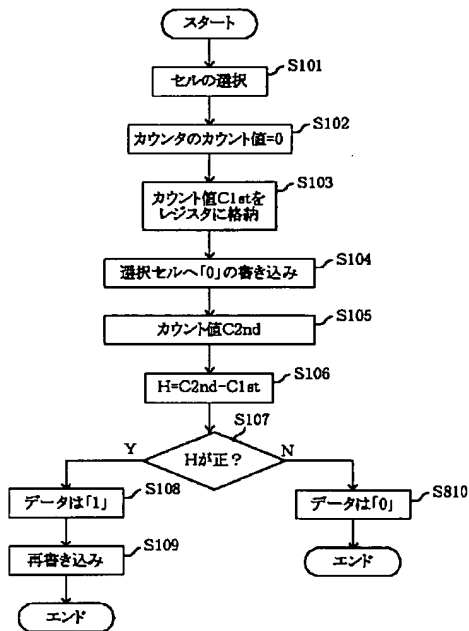
(図7)

【図8】



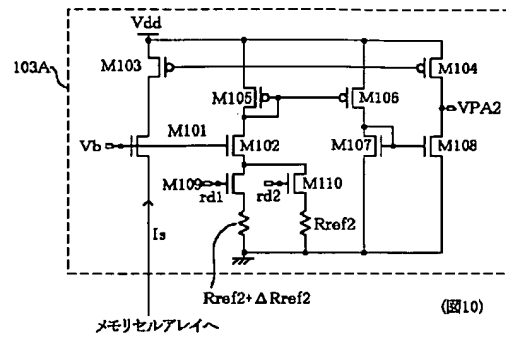
(図8)

【図9】



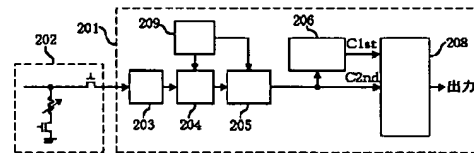
(圖9)

【図 10】



(图10)

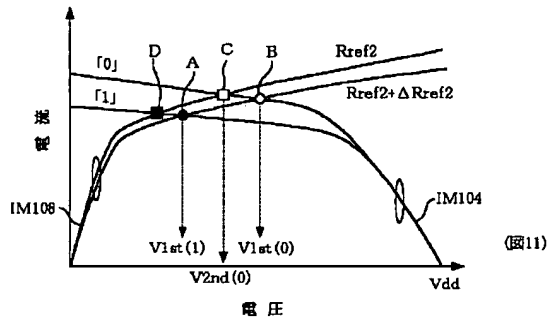
【図12】



(图12)

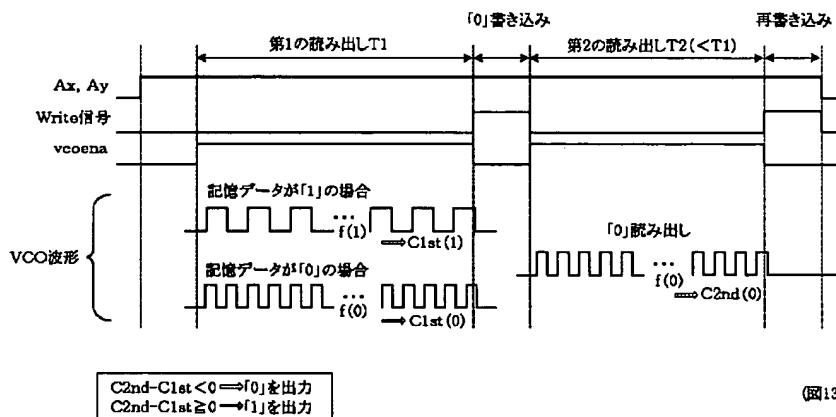
- |              |               |
|--------------|---------------|
| 201 読み出し回路   | 205 カウンタ      |
| 202 メモリセルアレイ | 206 読み出し値レジスタ |
| 203 プリアンプ    | 208 判定手段      |
| 204 VCO      | 209 制御回路      |

【図 11】



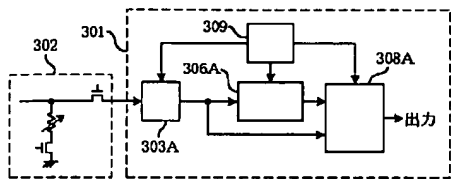
(圖11)

【图 13】



(13)

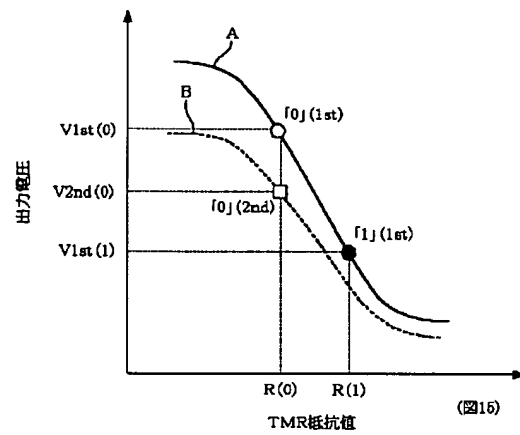
【図14】



301 読み出し回路  
302 メモリセルアレイ  
303A ゲインコントロールプリアンプ  
306A 電圧記憶手段  
308A 電圧比較手段  
309 制御回路

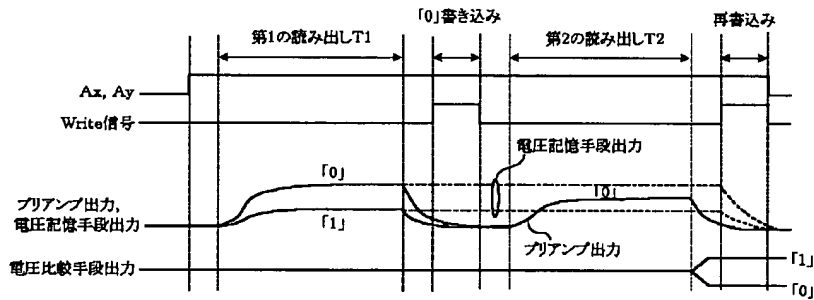
(図14)

【図15】



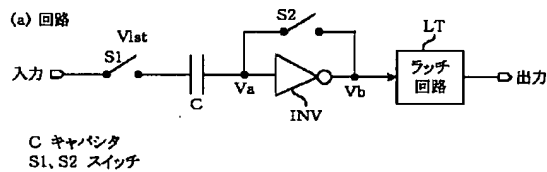
(図15)

【図16】

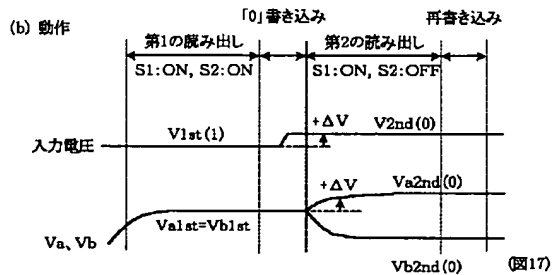


(図16)

【図17】

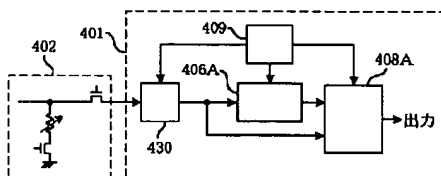


C キャパシタ  
S1, S2 スイッチ



(図17)

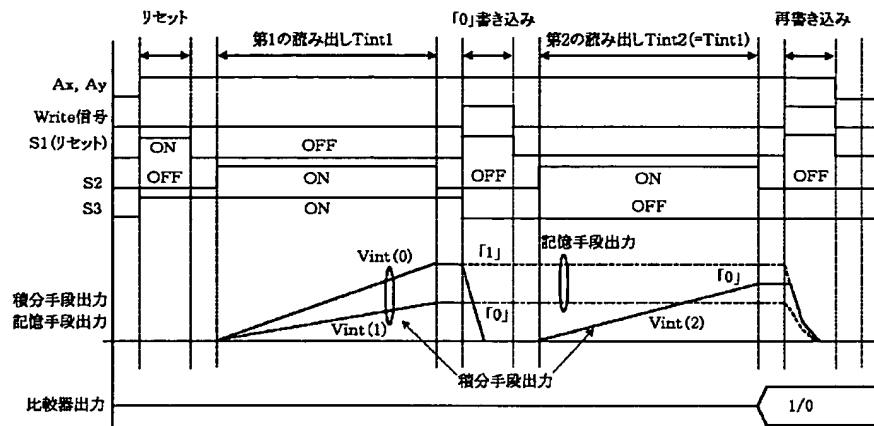
【図18】



(図18)

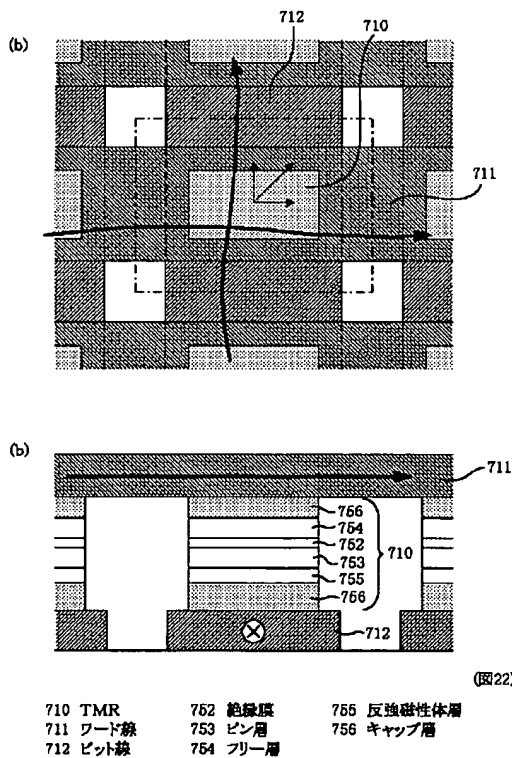
401 読み出し回路  
402 メモリセルアレイ  
430 積分手段  
406A 電圧記憶手段  
408A 電圧比較手段  
409 制御回路

【図20】



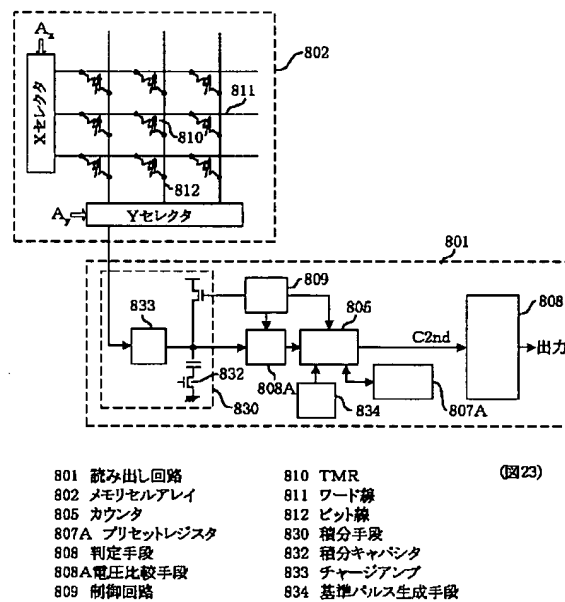
(図20)

【図22】



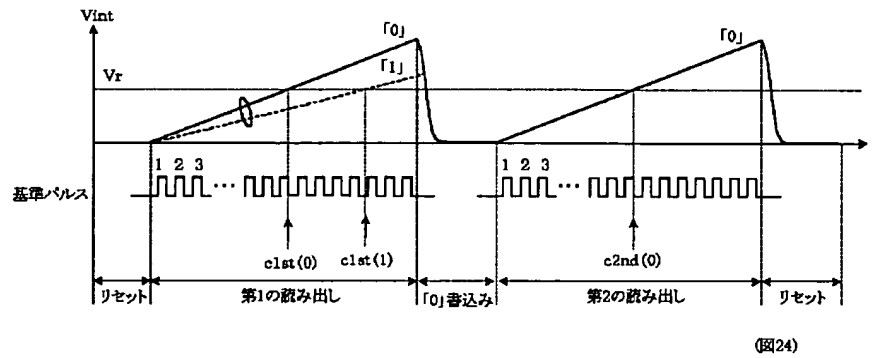
(図22)

【図23】

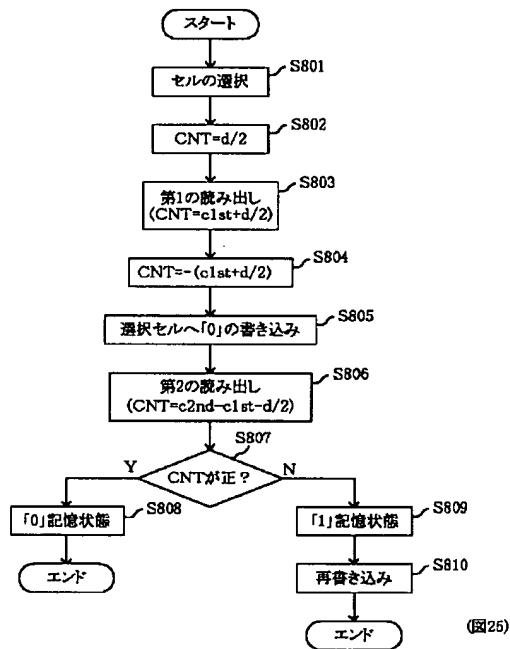


(図23)

【図24】



【図25】



フロントページの続き

(72)発明者 杉林 直彦  
東京都港区芝五丁目7番1号 日本電気株  
式会社内

Fターム(参考) 5F083 FZ10 LA10